



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원 번호 :
Application Number

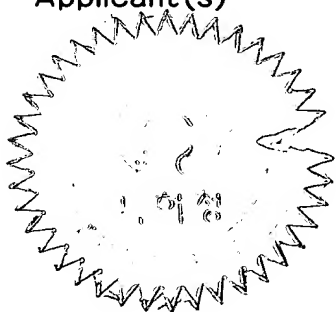
특허출원 2000년 제 4018 호

출원 년 월 일 :
Date of Application

2000년 01월 27일

출원 인 :
Applicant(s)

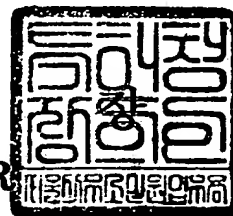
엘지전자 주식회사



2000 년 12 월 27 일

특 허 청

COMMISSIONER



【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0009		
【제출일자】	2000.01.27		
【국제특허분류】	H04N		
【발명의 명칭】	디지털 동영상 수신 장치		
【발명의 영문명칭】	Apparatus for receiving digital moving picture		
【출원인】			
【명칭】	엘지전자 주식회사		
【출원인코드】	1-1998-000275-8		
【대리인】			
【성명】	김용인		
【대리인코드】	9-1998-000022-1		
【포괄위임등록번호】	1999-001100-5		
【대리인】			
【성명】	심창섭		
【대리인코드】	9-1998-000279-9		
【포괄위임등록번호】	1999-001099-2		
【발명자】			
【성명의 국문표기】	김응태		
【성명의 영문표기】	KIM, Eung Tae		
【주민등록번호】	690315-1173221		
【우편번호】	137-130		
【주소】	서울특별시 서초구 양재동 271-2 남포주택 202호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 김용인 (인) 대리인 심창섭 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	25	면	25,000 원

1020000004018

2000/12/2

【우선권주장료】	0	건	0	원
【심사청구료】	14	항	557,000	원
【합계】	611,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

디지털 텔레비전(DTV) 또는 디지털 화상회의 시스템 응용 분야에서 비월주사 시퀀스의 다운 컨버전을 위한 디지털 동영상 수신 장치에 관한 것으로서, 특히 수신된 DCT 블록이 field DCT coded block이면 그대로 다운 샘플링하고, frame DCT coded block이면 field DCT coded block으로 변환하여 다운 샘플링한 후 메모리에 저장하고 움직임 예측 보상을 함으로써, HD급 비월주사 시퀀스를 위한 다운 컨버터를 갖는 비디오 디코더를 통해 75% 메모리 감축 효율 및 각종 PIP용이나 저해상도 디스플레이 장치에서도 좋은 화질의 SD급 화면을 얻을 수 있다.

【대표도】

도 5

【색인어】

다운 컨버전, 필드 DCT, 프레임 DCT, 비월주사

【명세서】

【발명의 명칭】

디지털 동영상 수신 장치{Apparatus for receiving digital moving picture}

【도면의 간단한 설명】

도 1은 일반적인 디지털 TV 수신기의 구성 블록도

도 2는 도 1의 MPEG 비디오 디코더의 상세 블록도

도 3a, 도 3b는 프레임 DCT 및 필드 DCT 과정을 보인 도면

도 4는 본 발명에 따른 MPEG 비디오 디코더의 구성 블록도

도 5는 도 4의 상세 블록도

도 6a, 도 6b는 DCT 영역에서 다운 샘플링된 후의 필드 기반 기준 픽처와 프레임 기반 기준 픽처의 픽셀 구조를 보인 도면

도 7은 도 4의 IDCT 및 다운 샘플링부의 상세 블록도

도 8은 도 4의 업/다운 샘플링을 통한 움직임 보상 과정을 보인 블록도

도 9는 도 4의 움직임 보상에 이용되는 업/다운 샘플링 예를 보인 구성 블록도

도 10은 DCT 영역에서 다운 샘플링된 후의 바텀 필드를 수직 보간한 예를 보인 도면

도면의 주요부분에 대한 부호의 설명

301 : 버퍼

302 : VLD

303 : IQ부

304 : 적응 IDCT부

305 : 가산기

306 : 업 샘플링부

307 : 움직임 보상부

308 : 다운 샘플링부

309 : 메모리 인터페이스

310 : 메모리

311 : 비디오 디스플레이 프로세서

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<18> 본 발명은 디지털 텔레비전(DTV) 또는 디지털 화상회의 시스템 응용 분야에 관한 것으로서, 특히 비월주사 시퀀스의 다운 컨버전을 위한 디지털 동영상 수신 장치에 관한 것이다.

<19> 최근 DTV 방송에 대한 관심이 높아지고 있으며, 고화질의 선명한 화면을 가정에서 TV 수신기로 볼 수 있도록 비디오 데이터를 압축하여 송신하고자 하는 노력이 기울여지고 있다. 비디오 신호를 압축하기 위하여 사용되는 알고리즘으로는 MPEG-2가 주로 사용된다.

<20> 이러한 알고리즘 덕분에 기존에 다루기조차 힘들었던 고화질의 디지털 데이터를 일반 방송 채널로 전송하여 가정에서 즐길 수 있도록 하려는 연구가 계속되고 있다. 따라서, 디지털 TV 수신기는 이렇게 압축되어 수신된 데이터를 원래의 고화질의 비디오 데이터로 복원하여야 하며, 이를 위해 MPEG-2 비디오 디코더가 필요하다.

<21> 이러한 MPEG-2 비디오 디코더를 채용한 디지털 TV 수신기는 도 1에 도시된

바와 같이, 오디오/비디오(Audio/Video ; A/V) 다중(Multiplexed) 비트스트림이 입력되면 트랜스포트 역다중화부(101)에서 다중화되어 있는 오디오와 비디오 비트스트림을 각각 분리한다. 상기 분리된 오디오 비트스트림과 비디오 비트스트림은 디코딩을 위해 각각 오디오 디코더(102)와 비디오 디코더(104)로 출력된다. 여기서, 상기 오디오 비트스트림과 비디오 비트스트림은 패킷화된 요소 스트림(packetized elementary stream ; PES)이다.

<22> 이때, 상기 오디오 디코더(102)는 MPEG 알고리즘 또는 오디오 코딩(AC)-3 알고리즘 등을 이용하여 입력되는 오디오 비트스트림을 원래의 신호로 복원하고, 디지털/아날로그 컨버터(digital/analog converter ; DAC)(103)는 이를 아날로그 형태로 변환하여 스피커등으로 출력한다.

<23> 또한, 상기 비디오 디코더(104)는 입력되는 비디오 비트스트림에서 오버헤드(각종 헤더 정보, 스타트 코드등)를 제거하고, 순수한 데이터 정보를 가변 길이 디코딩한 후 역양자화 과정, 역 이산 코사인 변환 과정을 거쳐 원래 화면의 픽셀 값을 복원하고, 비디오 디스플레이 처리부(Video Display processor ; VDP)(105)는 이를 디스플레이 포맷에 맞게 변환하여 디스플레이 장치에 출력한다.

<24> 도 2는 상기 MPEG 비디오 디코더(104)의 상세 블록도로서, 상기 트랜스포트 역다중화부(101)에서 분리된 비디오 비트 스트림은 버퍼(201)를 통해 가변 길이 디코더(Variable Length Decoder ; VLD)(202)로 입력된다. 상기 VLD(202)는 비디오 비트스트림을 가변길이 디코딩하여 움직임 벡터, 양자화 값, DCT(Discrete Cosine Transform) 계수로 분리한 후 움직임 벡터(MV)는 움직임 보상부(206)로 출력하고, 양자화 값 및 DCT 계수는 역양자화(Inverse Quantizer ; IQ)부(203)로 출력한다. 이때, 상기 DCT 계수는 지

그-재그 스캔 방식 또는 택일 스캔(Alternate scan) 방식으로 코딩되어 있으므로 IQ부(203)는 이를 라스터 스캔(Raster Scan) 방식으로 역스캔한 후 역스캔된 DCT 계수를 양자화 값에 따라 역 양자화하여 역 이산 여현 변환(Inverse Discrete Cosine Transform ; IDCT)부(204)로 출력한다. 상기 IDCT부(204)는 MPEG-2 비디오 신택스에 맞게 8x8 블록 단위로 역 양자화된 DCT 계수를 IDCT하여 가산기(205)로 출력한다.

<25> 한편, 상기 VLD(202)에서 출력되는 움직임 벡터는 움직임 보상부(206)로 출력되고, 상기 움직임 보상부(206)는 상기 움직임 벡터와 메모리(208)에 저장된 이전 프레임을 이용하여 현재의 픽셀값에 대한 움직임 보상을 수행한 후 가산기(205)로 출력한다.

<26> 상기 가산기(205)는 IDCT된 값과 움직임 보상된 값을 더하여 최종 픽셀값인 완전한 영상으로 복원한 후 비디오 디스플레이 처리부(Video display processor)(209)로 출력한다. 상기 VDP(209)는 픽처 타입에 따라 데이터를 재배열하여 출력하기도 하고 그대로 출력하기도 한다.

<27> 여기서, Intra-picture(I-픽처)의 경우는 IQ/IDCT한 결과가 바로 메모리(208)에 저장되고, predictive picture(P-픽처)나 bidirectional picture(B-픽처)의 경우는 움직임 보상된 데이터와 IDCT된 결과가 가산기(205)에서 더해진 후 메모리(208)에 저장된다.

<28> 즉, MPEG-2를 기본으로 하고 있는 비디오 디코더 시스템은 외부 메모리(208)

를 사용하는데, 상기 외부 메모리(208)는 비트 스트림을 일시 저장하기 위한 버퍼와 2개 이상의 프레임 메모리로 구성된다. 그리고, 상기 프레임 메모리는 통상 다이내믹 램(DRAM)을 사용한다. 특히, 비디오 디코더의 경우 상기 외부 메모리(208)의 역할은 비디오 디코딩을 위한 비트 스트림의 쓰기와 읽기, 움직임 보상을 위하여 필요한 데이터의 읽기, 디코딩된 데이터의 쓰기 및 디스플레이될 데이터의 읽기로 크게 나누어질 수 있으며, 메모리 인터페이스(207)를 통해 데이터를 주고받는다.

그러나, MPEG-2 MP@HL의 비디오 데이터를 디코딩하기 위해서는 사용되는 메모리의 크기와 데이터의 전송 속도도 그만큼 빨라져야 하기 때문이다. 또한, MPEG-2 표준 규격 안에서 MP@HL 모드를 지원하기 위해서는 약 10Mbits의 비트-버퍼 사이즈가 요구되고, 최대 허용 비트 레이트(bit rate)가 약 80Mbit/s에 이른다. 이로 인해, 기존의 16Mbits DRAM을 기반으로 하는 MPEG-2 비디오 디코더의 경우 약 96~128Mbits의 외부 메모리를 필요로 한다. 이는 메모리의 가격 상승을 의미한다.

<30> 그러므로, 제품 및 소비자 응용에 있어서 가격 경쟁력을 갖기 위해서는 고 가격의 메모리를 줄이면서 좋은 화질을 유지할 수 있는 필요성이 대두된다. 또한, 각종 OSD(On Screen Display) 및 다양한 서비스를 제공하고 있는 추세에 비추어 앞으로는 추가적인 메모리의 증가가 필연적이다.

<31> 예를 들면, 최근에 MPEG-2와 같은 비디오 압축 복원 시스템의 경우 여러 종류의 비디오 신호를 멀티 디코딩하여 동시에 디스플레이함으로써, 다양한 서비스를 제공하고 있다. 이런 경우 한정된 메모리에 여러 개의 비디오 신호를 디코딩할 수 있어야 한다.

<32> 결국 메모리의 한계성, 가격, 및 데이터 버스의 밴드폭(bandwidth)를 고려해볼 때 비디오 디코딩 칩에 고화질 화상 신호의 손실을 최소로 하는 효과적인 메모리 감축 장치

가 필요하며, 이를 위해 여러 가지 방법이 제안되어 있다.

<33> 즉, 기존의 비디오 디코딩 칩에 내재하여 있는 메모리 감축 알고리즘들을 살펴보면 50% 감축율을 갖는 ADPCM(Adaptive Differential Pulse Coded Modulation) 방식을 제안하거나, 75% 감축율을 갖는 VQ(Vector Quantization) 등을 이용하여 공간적인 중복성을 없애는 방식들을 제안하고 있다. 또한, DCT 주파수 영역에서 필터링/다운-샘플링(filtering/down-sampling) 방식들을 통한 압축 방식도 제안하고 있다.

<34> 그런데, ADPCM 방식의 경우는 메모리 내에 압축된 코드가 저장됨으로 바로 비디오 디스플레이 장치를 이용해서 디스플레이가 힘들다. 즉, 압축된 코드를 다시 복원하기 위한 장치가 추가되어야 한다. 또한 75% 감축시 ADPCM의 경우 화질의 손실이 매우 크므로 비디오 디코더에 적합하지 못한 결과를 가져온다.

<35> 이와 달리, 원 칩의 비디오 디코더로 들어온 HD(high definition)급 신호들을 다운 컨버전 알고리즘을 이용하여 한 화면에 여러 개의 HD급 영상이나 여러 SD급 영상들을 동시에 디스플레이할 수 있다. 이런 방식들은 많은 메모리 감축량에도 불구하고 어느 정도의 좋은 화질을 유지할 수 있다. 또한, 저 해상도 디스플레이 장치를 위한 저 코스트 디코더(low-cost decoder)에 적용할 수가 있다. 이를 위해 좋은 화질과 적은 메모리를 갖는 다운 컨버전 알고리즘 및 하드웨어(H/W) 설계가 필요하게 된다.

<36> 한편, 일반적으로 MPEG 인코더는 순차주사 시퀀스(progressive sequence)나 비월주사 시퀀스(interlaced sequence)들을 인코딩한다. 여기서, 순차 주사에 의해서 얻은 영상의 열을 순차주사 시퀀스, 비월 주사에 의해서 얻은 영상의 열을 비월주사 시퀀스라 한다.

- <37> 이때, 비월주사된 픽처의 경우 필드(field) 픽처나 프레임(frame) 픽처로 인코딩한다. 즉, 필드로 따로 분리하여 필드 단위로 인코딩하면 필드 픽처, 프레임 단위로 부호화하면 프레임 픽처라 한다.
- <38> 상기 필드 픽처의 경우 한 픽처는 주사선의 홀수선(odd line)으로 구성되고, 다른 픽처는 주사선의 짝수선(even line)으로 구성되며, 모든 인코더와 디코더의 동작이 필드 단위로 이루어진다. 따라서 8x8 단위의 DCT(discrete cosine transform)한 블록들은 홀수필드(odd field)나 짝수필드(even field)로만 구성된다. 이를 필드 DCT 코드된 블록(field DCT coded block)이라 부른다.
- <39> 이와 달리 비월주사된 프레임 픽처의 경우는 각 픽처가 주사선의 홀수선과 짝수선이 합쳐져서 구성되어진다. 그러므로, 프레임 픽처의 매크로 블록들은 홀수필드와 짝수필드를 모두 가지게 된다.
- <40> 이때, 프레임 픽처의 매크로 블록들은 두가지 다른 방법으로 코딩될 수 있다. 매크로 블록(즉, 16x16)내의 4개의 8x8 DCT 변환된 블록들이 각각 홀수와 짝수선을 갖는 frame DCT coded block이고, 다른 하나는 매크로 블록내의 2개의 블록은 매크로 블록의 홀수선만으로 구성되고, 나머지 2개 블록은 짝수선만으로 구성되는 field DCT coded block이다. 즉, frame DCT coded block은 도 3a와 같이 매크로 블록을 4개의 블록으로 나눈다음 각 8x8 블록에 대하여 DCT를 하는 것이고, field DCT coded block은 도 3b와 같이 각 필드별로 서로 나눈 후 각각 2개로 분리하여 DCT하는 것이다.
- <41> 또한, 필드 픽처의 매크로 블록들은 모두 field DCT로 코딩되어 있으며, 움직임 보상시 기준 필드로부터 움직임 보상 예측된다. 그러나, 프레임 픽처의 매크로 블록들은 frame DCT/field DCT로 코딩되며, 프레임 단위로 움직임 보상 예측되거나 또는, 필드 단

위로 움직임 보상 예측이 가능하다. 순차주사 시퀀스의 경우는 모든 픽처들이 frame DCT로 코딩되며 프레임 예측을 행한다.

<42> 현재 HDTV 디스플레이 장치가 고가이고 많지 않은 상태이므로 고해상도 HD급 화질의 비디오 시퀀스를 현존하는 NTSC급의 TV를 통해 감소된 해상도로 디스플레이할 필요가 생긴다. 이때, 시청자들이 고가의 HDTV 디스플레이 장치를 사지 않고도 HDTV 신호를 볼 수 있게 되어야 한다. 이런 장치를 다운 컨버팅 디코더라고 부른다. 결국 풀 HDTV 해상도를 내는 TV보다는 훨씬싼 가격의 TV를 얻게 된다.

<43> 이러한 방식들 중 하나가 미국 특허 5,262,854호에 개시되어 있다. 상기 개시된 미국 특허는 8x8 블록내 48개 고주파수 DCT계수들을 없애는 다운 샘플러를 가지고 있다. 그리고 나머지 저 주파수 성분의 4x4 블록에 대해서 IDCT한 결과를 메모리에 저장한다. 따라서, 움직임 보상시 풀 해상도(full resolution) 움직임 벡터를 사용하여 움직임 보상 예측오차를 줄이려고 할 때 축소된 해상도(reduced resolution)의 화면을 기준으로 사용하게 된다. 결국 축소된 해상도를 풀 해상도 픽처로 만들기 위해서 업 샘플링(up-sampling) 방식이 사용된다.

<44> 또한, 4x4 IDCT를 써서 다운 샘플링된 픽처를 업 샘플링하여 움직임 보상 예측 오차를 줄이기 위한 효율적인 몇 가지 방식들이 제안(R. Morky and D. Anastassiou, 'Minimul error drift in Frequency scalability for motion-compensated DCT coding,' IEEE Trans. On Circuit and System for Video Tech., Vol. 4, August 1994. Johnson and Princen, 'Drift minimization in frequency scalable coders using block based filtering,' IEEE Workshop on Visual Signal Processing and Communication, September 1993.)되었다.

<45> 상기에서 제안된 방법들은 전형적으로 예측되는 매크로 블록의 움직임 벡터에 따라 5탭이나 8탭을 갖는 2차원 필터를 사용한다. 이때, 움직임 벡터에 따라 8탭 필터의 값들의 위치가 변하게 된다. 따라서, 하나의 8탭 필터로 4 화소들을 8 화소로 늘려주게 된다.

【발명이 이루고자 하는 기술적 과제】

<46> 그러나, 상기된 방식들은 frame DCT coded block들을 갖는 순차주사 시퀀스에 적합한 반면, frame/field DCT coded block들이 혼합된 영상에 대한 문제들은 언급되어 있지 않다. 결국, 대부분의 MPEG-2 비디오 디코더로 입력되는 비월주사된 시퀀스의 경우 수직방향으로의 업 샘플링 및 다운 샘플링시 생기는 손실에 대한 문제점을 가지게 된다.

<47> 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로서, 본 발명의 목적은 메모리 감축 및 좋은 화질을 유지하면서 비월주사 시퀀스의 HD급 신호를 SD급의 저 해상도 화면에 디스플레이하기 위한 디지털 동영상 수신 장치를 제공함에 있다.

【발명의 구성 및 작용】

<48> 상기와 같은 목적을 달성하기 위한 본 발명에 따른 디지털 동영상 수신 장치는, 비디오 신호가 포함된 비트 스트림을 분리하여 추출하는 비디오 비트스트림 추출부와, 상기 추출된 비디오 비트스트림이 비월주사 시퀀스이면서 프레임 DCT coded 블록인 경우 필드 DCT coded 블록으로 변환하면서 다운 컨버전하고, 필드 DCT coded 블록인 경우 그대로 다운 컨버전하여 메모리에 저장한 후 움직임 보상을 하는 비디오 처리부를 포함하여 구성되는 것을 특징으로 한다.

<49> 상기 비디오 처리부는 입력되는 비디오 비트스트림을 가변길이 디코딩 및 역양자화

한 후 역양자화된 DCT 계수가 비월주사 시퀀스의 필드 DCT된 데이터이면 수평/수직 방향으로 고주파수 성분의 DCT 계수를 제거한 후 4x4 역 이산 코사인 변환(IDCT)을 수행하고, 프레임 DCT된 데이터이면 수평 방향으로 고주파수 성분의 DCT 계수를 제거하고 필드 DCT된 데이터로 변환한 후 DCT 변환 영역에서 수직 방향의 다운 샘플링을 수행하는 것을 특징으로 한다.

<50> 상기 비디오 처리부는 움직임 보상시 풀 해상도 움직임 벡터를 사용하는 경우 움직임 보상에 메모리로부터 읽은 데이터에 대해 수직/수평 방향으로 업 샘플링 필터링을 수행하고, 움직임 보상 후에 수직/수평 방향으로 다운 샘플링 필터링을 수행하는 것을 특징으로 한다.

<51> 본 발명에 따른 디지털 동영상 수신 장치는 역양자화된 DCT 계수가 비월주사 시퀀스의 필드 DCT된 데이터이면 수평/수직 방향으로 고주파수 성분의 DCT 계수를 제거한 후 4x4 IDCT하고, 프레임 DCT된 데이터이면 수평 방향으로 고주파수 성분의 DCT 계수를 제거하고 필드 DCT된 IDCT 계수로 변환한 후 DCT 변환 영역에서 수직 방향으로 다운 샘플링하는 IDCT부와, 상기 IDCT된 데이터 또는 상기 IDCT된 데이터와 움직임 보상된 데이터의 가산 결과를 저장하는 메모리와, 상기 메모리로부터 리드된 기준 픽처를 수직/수평 방향으로 업 샘플링하는 수직/수평 업 샘플링부와, 상기 수직/수평 업 샘플링부에서 수직/수평 방향으로 업 샘플링된 픽처에 대해 VLD로부터 출력되는 풀 해상도의 움직임 벡터를 사용하여 움직임 보상을 수행하는 움직임 보상부와, 상기 움직임 보상부에서 움직임 보상된 데이터를 수직/수평 방향으로 다운 샘플링한 후 상기 IDCT된 데이터와 더하여 메모리에 다시 저장하는 수직/수평 다운 샘플링부와, 디스플레이 모드에 따라 상기 메모리에 저장된 데이터를 리드하여 디스플레이 장치로 출력하는 비디오 디스플레이 처리

부로 구성되는 비디오 디코딩부를 갖는 것을 특징으로 한다.

- <52> 상기 IDCT부는 비월주사 시퀀스의 프레임 DCT coded 블록이면 수평방향으로 고 주파수성분의 DCT 계수를 제거하는 수평 축소부와, 프레임 DCT coded 블록을 필드 DCT coded 블록으로 변환하는 프레임/필드 변환부와, 수직 방향으로 다운 샘플링된 필드 구조의 IDCT 계수를 출력하는 매트릭스 곱셈기와, 상기 매트릭스 곱셈기의 출력 데이터에 대해 수평 방향으로 IDCT를 수행하는 수평 IDCT로 구성되는 것을 특징으로 한다.
- <53> 본 발명의 다른 목적, 특징 및 잇점들은 첨부한 도면을 참조한 실시예들의 상세한 설명을 통해 명백해질 것이다.
- <54> 이하, 본 발명의 바람직한 실시예를 첨부도면을 참조하여 상세히 설명한다.
- <55> 본 발명은 수신된 DCT 블록이 field DCT coded block이면 그대로 다운 샘플링하고, frame DCT coded block이면 field DCT coded block으로 변환하여 다운 샘플링한 후 메모리에 저장하고 움직임 예측 보상을 하는데 있다.
- <56> 도 4는 본 발명에서 제안된 75% 메모리 감축용 다운 컨버전을 갖는 MPEG-2 비디오 디코더의 구성 블록도로서, 입력되는 매크로 블록이 필드 DCT coded 블록인지 프레임 DCT coded 블록인지에 따라 IDCT를 다르게 수행하는 IDCT 및 다운 샘플링부(304), 움직임 보상부(307) 전단에 구비되어 메모리(310)로부터 읽어 온 데이터를 수평/수직 방향으로 업 샘플링하는 업 샘플링부(306), 움직임 보상된 데이터를 다시 수평/수직 방향으로 다운 샘플링하여 가산기(305)로 출력하는 다운 샘플링부(308)가 상기된 도 2에 더 포함되어 구성된다.
- <57> 즉, VLD(302)를 통해 파싱된 비트스트림이 IQ부(303), IDCT부(304) 및 움직임 보상

부(307)를 거쳐 외부 메모리(310)에 저장된다. 저장된 영상은 비디오 디스플레이 프로세서(Video Display Processor ; VDP)(312)를 거쳐 화면에 보여지게 된다.

<58> 도 5는 도 4의 다운 컨버전 부분을 좀더 상세하게 도시한 구성 블록도로서, 메모리가 필드 구조를 갖도록 한다.

<59> 그런데, 도 6a, 도 6b에서 보는 바와 같이 프레임 DCT coded 블록과 필드 DCT coded 블록을 DCT 변환 영역에서 다운 샘플링한 결과는 서로 다른 화소 구조를 갖는다.

예를 들어, 예를 들어

<60> 본 발명에서는 수신된 DCT 유형에 상관없이 항상 정해진 필드 기반 기준 (field-based reference) 픽처를 갖도록 한다. 이를 위해 프레임 DCT coded 블록이 입력되면 필드 DCT coded 블록으로 변환하여 IDCT 및 다운 샘플링을 수행한다.

<61> 즉, VLD(302)로부터 파싱된 DCT 계수들이 IQ부(303)로 입력되어 역 양자화된 후 IDCT부(304)로 전송된다.

<62> 이때, 상기 VLD(302)는 dct_type(프레임 또는 필드)과 picture_structure(프레임 픽처 또는 필드 픽처)를 함께 제공한다. 또한, 상기 VLD(302)는 움직임 보상부(307)로 움직임 벡터(MV)들, 움직임 유형(motion_type), 필드 선택신호(motion_vertical_field_select)들을 제공한다.

<63> 한편, 상기 IDCT부(304)의 동작은 도 7과 같다.

<64> 즉, 필드 DCT된 매크로 블록의 경우 8x8 IDCT 계수들 중 수직/수평방향으로 고주파수 성분에 해당하는 DCT 계수들($X(I, J)$, $I=5, \dots, 8$, $J=5, \dots, 8$)을 제거하고 나머지 4x4 DCT 계수들에 대해서만 수직/수평방향으로 IDCT한다. 이는 저주파수 성분들만을 복원하

게 되는데 선명도, 즉 영상의 상세(detail)한 엣지나 텍스트등에 대한 정보를 잃게 된다. 일반적으로 자연계 영상들은 대부분 저주파수 영역에 대한 신호들로 응집되어 있으므로 영상 화질을 크게 해치지는 않게 된다. 그러므로 4x4 IDCT한 결과는 영상을 저주파수 대역 필터를 쓴 효과를 나타내며, 최종적으로 외부 메모리(310)에 저장되는 영상의 크기는 1/4만큼 줄어든다. 결국 이를 통해 75%의 메모리 감축율을 얻게 된다.

<65> 한편, 프레임 DCT된 블록의 경우는 우선 필드 DCT된 블록들로 변환한 후 DCT 변환 내에서 다운 샘플링하여 IDCT한다. 상기 IDCT부(304)의 출력은 도 6에서와 같이 항상 필드 기반 수직 구조를 가지고 있으며, IDCT부(304)의 출력은 매크로 블록(MB) 가산기(305)로 입력된다.

<66> 이때, 상기 IDCT부(304)에서 프레임 DCT 블록을 필드 DCT 블록으로 변환하여 수직 방향으로 IDCT하는 관계식은 다음의 수학식 1과 같다.

<67> 【수학식 1】

$$[X] = \begin{bmatrix} [X] \\ [X] \\ [X] \\ [X] \\ [X] \\ [X] \\ [X] \\ [X] \\ [X] \\ [X] \\ [X] \\ [X] \\ [X] \\ [X] \\ [X] \end{bmatrix}$$

<68> 여기서, [X] 는 8개의 프레임 DCT 계수들을 갖는 두 개의 수직 블록을 나타낸다.

<69> 이때, 8x8 DCT 기저 매트릭스(matrix)는 다음의 수학식 2와 같이 표현된다.

<70> 【수학식 2】

$$[T8] = \begin{bmatrix} t_{00} & t_{01} & t_{02} & t_{03} & t_{04} & t_{05} & t_{06} & t_{07} \\ t_{10} & t_{11} & t_{12} & t_{13} & t_{14} & t_{15} & t_{16} & t_{17} \\ t_{20} & t_{21} & t_{22} & t_{23} & t_{24} & t_{25} & t_{26} & t_{27} \\ t_{30} & t_{31} & t_{32} & t_{33} & t_{34} & t_{35} & t_{36} & t_{37} \\ t_{40} & t_{41} & t_{42} & t_{43} & t_{44} & t_{45} & t_{46} & t_{47} \\ t_{50} & t_{51} & t_{52} & t_{53} & t_{54} & t_{55} & t_{56} & t_{57} \\ t_{60} & t_{61} & t_{62} & t_{63} & t_{64} & t_{65} & t_{66} & t_{67} \end{bmatrix}$$

<71> 즉, [T8]은 8-포인트 DCT 기저들로 이루어진 8x8 DCT 기저 매트릭스를 나타낸다.

<72> 이때, 두 개의 수직 블록에 대한 IDCT는 다음의 수학식 3과 같은 매트릭스로 표현
이 된다.

<73> 【수학식 3】

$$[IT8_2] = \begin{bmatrix} T8^T & 0 \\ 0 & T8^T \end{bmatrix}$$

<74> 결국, [X]의 IDCT한 결과는 다음의 수학식 4로 표현된다.

<75> 【수학식 4】

$$[x] = \begin{bmatrix} \begin{bmatrix} x \\ x \\ x \\ x \\ x \\ x \\ x \\ x \end{bmatrix} \\ \begin{bmatrix} x \\ x \\ x \\ x \\ x \\ x \\ x \\ x \end{bmatrix} \end{bmatrix} = [IT8_2][X]$$

<76> 여기서, [x]는 화소 단위의 두 개 수직 블록들을 나타낸다.

<77> 그리고, 프레임을 필드로 변환하는 DCT 매트릭스는 하기의 수학식 5와 같다.

<78> 【수학식 5】

$$T_f = \begin{bmatrix} \vec{t}_0 & 0 & \vec{t}_1 & 0 & \vec{t}_2 & 0 & \vec{t}_3 & 0 & \vec{t}_4 & 0 & \vec{t}_5 & 0 & \vec{t}_6 & 0 & \vec{t}_7 & 0 \\ 0 & \vec{t}_0 & 0 & \vec{t}_1 & 0 & \vec{t}_2 & 0 & \vec{t}_3 & 0 & \vec{t}_4 & 0 & \vec{t}_5 & 0 & \vec{t}_6 & 0 & \vec{t}_7 \end{bmatrix}$$

<79>

→

여기서, \vec{t}_i 는 i번째 8 포인트 DCT 기저 벡터를 나타낸다.

<80>

이때, 상기 수학식 5는 프레임 DCT 블록에서 톱/바텀을 분리하기 위해 상기 수학식 2의 매트릭스의 컬럼 방향의 8포인트 DCT 기저 벡터를 톱/바텀에 맞게 재배열한 것이다. 즉, 상기 수학식 5의 매트릭스에서 상측은 톱에 맞게 8 포인트 DCT 기저 벡터를 하나 건너 하나씩 배열하고, 하측은 바텀에 맞게 8 포인트 DCT 기저 벡터를 하나 건너 하나씩 배열한다.

<81>

따라서, 프레임 DCT 블록에 상기 수학식 5를 곱하면 다음의 수학식 6과 같이 필드 단위로 DCT된 결과가 나온다. 즉, 톱/바텀을 따로 따로 DCT한 것과 같다.

<82> 【수학식 6】

$$[T_f][x] = \begin{bmatrix} [Xt] \\ [Xb] \end{bmatrix} = [Xtb]$$

<83>

여기서, $[x]$ 는 프레임 순서로 배열해있고, $[Xtb]$ 는 톱 필드와 바텀 필드에 대한 2개의 필드 DCT coded 블록을 나타낸다.

<84>

따라서, 상기 식들을 이용하여 프레임 DCT 계수들 $[X]$ 는 다음의 연산을 통해 필드

DCT 계수들 $[X_{tb}]$ 로 하기의 수학적 식 7과 같이 표현된다.

<85> 【수학적 식 7】

$$[X_{tb}] = [T_f][x] = [T_f][IT8_2][X]$$

<86> 결국, DCT 변환 영역의 다운 샘플링 방식은 필드 DCT된 계수들의 수직/수평 방향의 고주파수 성분들을 제거한 후 IDCT한 결과이다. 그러므로, $[X_{tb}]$ 는 다음의 연산자들을 사용하여 4x4 IDCT된다.

<87> 우선 상기 수학적 식 2와 비슷하게 4 포인트 DCT 기저(basis)로 만들어진 4x4 DCT 매트릭스를 $[T4]$ 라고 하자. 수평수직 방향으로 고주파수 성분을 제거한 후 IDCT하는 다운 샘플링 과정은 다음의 수학적 식 8로 표현된다.

<88> 【수학적 식 8】

$$\begin{bmatrix} y \\ y \\ y \\ y \\ 0 \\ 0 \\ 0 \\ 0 \end{bmatrix} = [P4^T] \begin{bmatrix} X \\ X \\ X \\ X \\ X \\ X \\ X \\ X \end{bmatrix}$$

<89> 여기서, $[P4]$ 는 다음의 수학적 식 9로 표현된다.

<90> 【수학적 식 9】

$$[P4] = \begin{bmatrix} T4 & 0 \\ 0 & 0 \end{bmatrix} / \sqrt{2}$$

<91> 상기 수학적 식 7의 $[X_{tb}]$ 에 대한 다운 샘플된 IDCT 계수는 다음의 수학적 식 10과 같이 표현된다.

<92> 【수학식 10】

$$[y_{tb}] = \begin{bmatrix} y_t \\ y_t \\ y_t \\ y_t \\ y_b \\ y_b \\ y_b \\ y_b \end{bmatrix} = [IP4_2][X_{tb}] = [IP4_2] \begin{bmatrix} y_t \\ y_t \\ y_t \\ y_t \\ y_t \\ y_t \\ y_b \\ y_b \\ y_b \\ y_b \\ y_b \\ y_b \end{bmatrix}$$

<93> 여기서, $[IP4_2]$ 는 필드 DCT coded 계수들의 다운·샘플링 매트릭스이며, 다음의 수학식 11과 같다.

<94> 【수학식 11】

$$[IP4_2] = \begin{bmatrix} T4^T & 0 & 0 & 0 \\ 0 & 0 & 0 & T4^T \end{bmatrix} / \sqrt{2}$$

<95> 상기 수학식 7과 수학식 10을 이용하여 프레임 DCT된 계수 $[X]$ 는 필드 DCT된 계수로의 변환과 다운 샘플링한 필드 단위의 화소 $[y_{tb}]$ 들을 다음의 수학식 12와 같이 얻는다.

<96> 【수학식 12】

$$[y_{tb}] = [Q][X] = [IP4_2][T_f][IT8_2][X]$$

<97> 여기서, $[Q] = [IP4_2][T_f][IT8_2]$ 는 8x16 매트릭스로 오로지 수직방향의 DCT계수들을 대해서만 동작한다.

<98> 이제부터 매크로블록, 즉 4개의 8x8 DCT 블록들(X_1, X_2, X_3, X_4)에 대해 살펴보자.

<99> 우선 도 7에서 필드 DCT인 경우는 수직/수평방향의 고주파수 성분들을 제거한 블록들(X_1', X_2', X_3', X_4')을 각각의 수직 수평방향으로 4x4 IDCT를 해주면 된다. 즉, 필드

DCT된 매크로 블록은 제 1 축소부(401)로 입력되고, 프레임 DCT된 매크로 블록은 제 2 축소부(405)로 입력된다. 이때, 상기 제 1 축소부(401)는 필드 DCT된 매크로 블록 (X_1, X_2, X_3, X_4) 의 8×8 IDCT 계수들 중 수직/수평방향으로 고주파수 성분에 해당하는 DCT 계수들 $(X(I, J), I=5, \dots, 8, J=5, \dots, 8)$ 을 제거한 후 나머지 4×4 DCT 계수들 (X_1', X_2', X_3', X_4') 에 대해서만 수직 IDCT부(402)로 입력하여 수직 방향으로 IDCT를 수행하고 선택부(403)를 통해 수평 IDCT부(404)로 출력하여 수평 방향으로 IDCT를 수행한다.

<100> 도 7에서 프레임 DCT인 경우를 살펴보면 우선 제 2 축소부(405)는 프레임 DCT된 매크로 블록 (X_1, X_2, X_3, X_4) 의 8×8 IDCT 계수들 중 수평방향으로 고주파수 성분에 해당하는 DCT 계수들 $(X(I, J), I=1, \dots, 8, J=5, \dots, 8)$ 을 제거한 후 나머지 8×4 DCT 계수들 (X_1', X_2', X_3', X_4') 만 필드 변환부(406)로 출력한다. 상기 필드 변환부(406)는 상기 수학식 7과 같이 프레임 DCT 블록을 톱/바텀이 구분된 필드 DCT 블록으로 변환하여 매트릭스 곱셈기(407)로 출력한다. 상기 매트릭스 곱셈기(407)는 상기 수학식 12의 $[Q]$ 매트릭스를 사용하여 수직방향으로 다운 샘플링된 IDCT 계수 즉, 필드 구조의 블록들 (G_1', G_2', G_3', G_4') 을 얻는다. 상기 블록들은 저장 및 지연부(408)에서 일시 저장 및 지연된 후 선택부(403)를 통해 수평 IDCT부(404)로 입력되어 수평 방향으로 4×4 IDCT된다. 즉, 프레임 DCT 블록에 대해 최종적으로 field-based 수직 구조의 화소들 (x_1', x_2', x_3', x_4') 을 얻을 수 있다. 여기서, (x_1', x_2') 은 톱 필드 블록을 나타내고, (x_3', x_4') 는 바텀 필드 블록을 나타낸다.

<101> 이때, 인트라(I) 픽처의 경우 상기된 IDCT부(304)를 거친 결과가 곧바로 메모리(310)에 저장된다. P나 B 픽처의 경우는 움직임 예측 보상한 블록들과 가산기(305)에서 더해져서 메모리(310)에 저장된다.

<102> 한편, 일반적으로 비디오 인코더에서는 움직임 보상된 프레임을 얻기 위해서 풀 해상도(full resolution)의 움직임 벡터(MV)를 사용하여 이전 프레임으로부터 현재 프레임의 블록을 재생한다.

<103> 그러므로, 본 발명에서도 움직임 보상시에 화질을 높이기 위해 수직/수평방향의 움직임 벡터를 스케일링 다운(scaling down) 하기보다는 풀 해상도(full-resolution)의 움직임 벡터를 사용한다.

<104> 이때, 풀 해상도의 움직임 벡터를 이용하기 위해서는 메모리(310)에 있는 감소된 기준(reduced reference) 픽처를 원래 해상도로 복원하는 업-샘플링 과정이 필요하다. 또한, 움직임 보상 후에 얻어진 원래 해상도를 다시 1/4 해상도로 줄이기 위한 다운 샘플링 과정이 요구된다.

<105> 도 8은 다운 컨버전시 동작하는 움직임 보상 방식을 나타낸다.

<106> 앞서 설명한 바와 같이 메모리(310)에는 field-based 수직 구조의 픽처가 저장되어 있다. 그리고, 수평/수직 업 샘플링부(306)는 움직임 보상시 움직임 벡터에 맞는 필드를 선택한 후 메모리(310)에서 감축된 필드 기준 신호들을 읽어온 후 각각의 필드에 대해서 수평/수직방향으로 각각 업 샘플링한다.

<107> 이때, 도 8에서 보는 바와 같이 움직임 보상은 움직임 유형(motion_type)에 따라 프레임 예측(frame prediction)과 필드 예측(field prediction)으로 나눌 수 있다.

<108> 즉, 필드 예측 보상시 어드레스 발생부(501)는 움직임 벡터와 각각의 motion_vertical_field_select 신호를 이용해 기준 메모리(310)에 리드 어드레스를 보내 해당 필드의 기준 블록을 읽어온다. 이때, 수평/수직 업 샘플링부(502,503)에서는 수직

/수평 방향으로 각 필드의 블록에 대해서 업 샘플링을 하고, 움직임 보상부(307,504)의 하프 펠 보간부(506)는 업 샘플링된 블록들에 대해 하프 펠 보간하여 움직임 보상된 블록을 구성한다. 그리고, 수평/수직 다운 샘플링부(502,503)에서 각 필드단위로 움직임 보상된 블록을 각각 다운 샘플링하여 매크로 블록 가산기(305)로 출력한다.

<109> 한편, 프레임 예측 보상의 경우 어드레스 발생부(501)는 움직임 벡터와 각각의 motion_vertical_field_select 신호를 이용해 기준 메모리(310)에 리드 어드레스를 보내 필드 단위의 기준 블록을 읽어온다. 이때, 수직/수평 업 샘플링 필터(502,503)에서는 하프 펠 필드와 바텀 필드에 대해 각각 수직/수평 방향으로 업 샘플링한 후 결합부(505)에서 두 개의 필드로부터 한 개의 프레임 블록들을 만든다. 즉, 각 필드의 업 샘플된 블록들로 프레임 단위의 기준 블록을 구성한다. 그리고, 하프 펠 보간부(506)는 프레임 예측된 블록에 하프 펠(half-pel) 보간하여 움직임 보상된 블록을 구성한 후 필드 분리부(507)로 출력한다. 상기 필드 분리부(507)는 상기 움직임 보상된 프레임 블록을 각각의 필드로 분리한 후 수평/수직 다운 샘플링부(502,503)를 거쳐 다운 샘플링한 후 매크로 블록 가산기(305)로 출력한다.

<110> 여기서, 어드레스 발생부(501)는 상기 VLD(302)로부터 움직임 벡터(MV)들, 움직임 유형(motion_type), 필드 선택신호(motion_vertical_field_select)들을 입력받아 필요한 곳에 해당 신호들을 제공하고, 기준 메모리(310)에 리드 어드레스를 발생한다. 상기 리드 어드레스의 데이터가 기준 메모리(310)로부터 리드된 후 예측을 위한 기준 픽셀로서 수평 업 샘플/다운 샘플 필터(504)로 입력된다.

<111> 이때, 업/다운 샘플링부(306,308)의 업 샘플링/다운 샘플링 필터(502,503)의 성질에 따라 화질이 크게 좌우된다. 본 발명에서 사용된 업 샘플링/다운 샘플링 필



터 방식은 DCT 기저들로 구성되어진 매트릭스들을 사용한다.

<112> 도 9는 필드 기반 구조로 된 메모리로부터 각각의 필드 신호들을 움직임 보상하기 위한 블록도이다. 즉, 톱 필드의 데이터와 바텀 필드의 데이터가 구분되어 저장되어 있으므로 톱 필드와 바텀 필드에 대해 각각 업 샘플링 및 다운 샘플링을 수행한다.

<113> 우선적으로 1차원의 다운 샘플링 과정을 살펴보면, 상기 수학식 2와 수학식 8을 이용하여 다음의 수학식 13과 같이 표현된다.

<114> 【수학식 13】

$$y_{[4 \times 1]} = C_4^T \cdot X_{[8 \times 1]} = [T_4^T \ 0] \sqrt{2} \cdot [T_8] \cdot x_{[8 \times 1]}$$

<115> 여기서, x 는 8×1 화소들을 나타내고, y 는 다운 샘플링된 4×1 화소들을 나타내고, X 는 x 에 대한 DCT한 계수 블록을 나타내며, T_8 은 8×8 DCT 기저 매트릭스를 나타낸다. 또한, $C_4 = \begin{bmatrix} T_4 \\ 0 \end{bmatrix} \sqrt{2}$ 이고, T_4 는 4×4 DCT 기저 매트릭스를 나타낸다.

<116> 따라서, 상기 수학식 13은 다음의 수학식 14로 표현된다.

<117> 【수학식 14】

$$y_{[4 \times 1]} = C_{4 \times 8} \cdot x_{[8 \times 1]}$$

<118> 여기서, $C_{4 \times 8} = C_4^T \cdot T_8$ 는 4×8 차원의 다운 샘플링 매트릭스로 정의하고, 8개 화소를 4개 화소로 변환시켜 준다.

<119> 업 샘플링 방식은 상기 식의 역변환으로 4개 화소를 8개의 화소로 다음의 식을 이용하여 변환한다. 우선 수학식 13으로부터 8개의 DCT계수를 얻으면 다음의 수학식 15와 같다.

<120> 【수학식 15】

$$X_{[8 \times 1]}^l = \begin{bmatrix} T_4 \\ 0 \end{bmatrix} \cdot \sqrt{2} \cdot y_{4 \times 1} = C_4 \cdot y_{4 \times 1} \cdot 2$$

<121> 상기 수학식 15를 이용해서 8 포인트 IDCT한 결과는 다음의 수학식 16과 같이 얻을 수 있다.

<122> 【수학식 16】

$$x_{[8 \times 1]}^{up} = T_8^T \cdot X_{[8 \times 1]}^l$$

<123> 결국, 상기 수학식 15와 수학식 16은 다음의 수학식 17과 같은 관계식으로 표현된다.

<124> 【수학식 17】

$$x_{[8 \times 1]}^{up} = T_8^T \cdot C_4 \cdot y_{4 \times 1} \cdot 2 = 2 \cdot C_{4 \times 8}^T \cdot y_{4 \times 1}$$

<125> 상기 수학식 17은 메모리(310)에 저장되어 있는 1/2 해상도 영상을 원 해상도로 업 샘플링하는 과정을 나타낸다.

<126> 상기 수학식 17의 업 샘플링 매트릭스를 이용하여 수직/수평방향으로 원래 해상도에 맞는 매크로 블록을 재생한 후 움직임 보상 블록을 얻는다. 즉, 업 샘플링 필터링부(601)는 메모리(310)로부터 톱 필드의 블록을 읽어 와 업 샘플링을 수행하여 원래 해상도에 맞는 매크로 블록을 재생하고, 업 샘플링 필터링부(602)는 메모리(310)로부터 바텀 필드의 블록을 읽어 와 업 샘플링을 수행하여 원래 해상도에 맞는 매크로 블록을 재생한 후 가산기(603)에서 더하여 움직임 보상 블록을 얻는다.

<127> 이때, 수평방향으로 하프 펄 보간(half-pel interpolation)이 존재하거나 풀 해상도 움직임 벡터(MV)가 8의 배수로 떨어지지 않을 경우, 상기 업 샘플링 필터링부(601,602)는 수직/수평방향으로 4x4 단위의 주변 블록들을 메모리(310)로부터 읽어온다.

그 후 각각의 블록들에 대해서 상기 수학식 17에 유도된 바와 같이 각각의 수직/수평 방향으로 업 샘플링 매트릭스를 이용하여 풀 해상도(full-resolution) 블록을 복원한다.

그 후에 풀 해상도 움직임 벡터에 해당하는 영역에 대해서 움직임 보상부(307)에서 하프 펄 보간하여 우리가 원하는 움직임 보상된 블록을 구한다.

<128> 이렇게 움직임 보상된 매크로 블록에 대해서 도 5에서 보는 바와 같이 가산기(305)에서 4x4 IDCT한 결과와 더하기 위해서 다시 다운 샘플링 과정을 거친다.

<129> 이를 위해 도 9에 도시된 바와 같은 수학식 14의 다운 샘플링 매트릭스를 이용하여 수평/수직방향으로 각각 1/2 크기를 갖는 매크로 블록을 얻게 된다. 즉, 다운 샘플링 필터링부(604)는 톱 필드에 대해서, 다운 샘플링 필터링부(605)는 바텀 필드에 대해서 다운 샘플링을 수행하여 수평/수직방향으로 각각 1/2 크기를 갖는 매크로 블록을 출력한다.

<130> 이렇게 얻어진 블록은 도 5의 MB 가산기(305)를 통해서 다시 메모리(310)에 저장되며 이때 각각의 필드 단위로 블록들이 더해진다.

<131> 그리고, 도 4에서 보는 바와 같이 감소된 해상도 픽처(reduced-resolution picture)들은 다양한 디스플레이 모드에 따라서 VDP를 거쳐서 화면에 나타난다. 이때, 도 10의 (a)에서 보는 바와 같이 메모리(310)에 저장된 감소된 해상도 픽처(reduced-resolution picture)에서 바텀 필드의 위치가 원하는 디스플레이 위치의 필드가 아니므로 이를 보정해 주어야 한다. 이를 위해 수직방향으로 후처리 필터(post-processing filter)(311)를 사용한다. 이때의 필터는 도 10에서와 같이 단순한 평균값이나 아니면 4탭 정도의 FIR 필터를 사용한다.

<132> 또한, 4x4 IDCT나 움직임 보상 후의 다운 샘플링 과정에서 생기는 손실로 인해 약간의 blocking artifact가 생길 수 있다. 이를 보정하기 위해 후처리 (post-processing) 과정에서 수평방향으로 9-탭정도의 FIR 필터를 통해 경계면의 연속성을 증가시키면 향상된 화질을 얻을 수 있다.

<133> 이와 같이 본 발명은 고화질로 부호화된 여러 개의 HD급 비월주사 비디오 신호들을 한 화면에 여러 개 디스플레이하거나 SD급의 저 해상도 화면 장치로 고 해상도의 HD급 신호를 디스플레이하는데 이용되며, 기존 HD급 비디오 디코더의 외부 메모리를 75% 감축한 효과를 갖는다. 특히, 본 발명은 디지털 비디오 전송분야의 표준안인 MPEG-2 디코더 칩에 적용하면 유리하다.

【발명의 효과】

<134> 이상에서와 같이 본 발명에 따른 디지털 동영상 수신 장치에 의하면, HD급 비월주사 시퀀스를 위한 다운 컨버터를 갖는 비디오 디코더를 통해 75% 메모리 감축 효율 및 각종 PIP(pictures in picture)용이나 저해상도 디스플레이 장치에서도 좋은 화질의 SD급 화면을 얻을 수 있다.

<135> 또한, 한 개의 HD급 비디오를 처리하기 위한 메모리만 가지고도 여러 개의 HD급 비디오 및 여러 종류의 다양한 SD급 비디오를 한 화면에 디스플레이 할 수 있게 되며, 추가적인 하드웨어의 부담없이 HD급 비디오 신호들을 저 해상도 디스플레이 장치에 연결하여 시청이 가능해진다.

<136> 특히, 본 발명은 디지털 TV나 비디오 화상 등의 응용 분야에 필수적인 기술로서 멀티 디코딩이나 한 화면에 여러 개의 비디오를 수신 및 화면 처리할 수 있는 고 성능 비

디오 디코더 및 타 회사의 디지털 TV와의 기술 경쟁력 강화 등의 큰 효과를 얻을 수 있다.

<137> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다.

<138> 따라서, 본 발명의 기술적 범위는 실시예에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의하여 정해져야 한다.

【특허청구범위】**【청구항 1】**

비디오 신호가 포함된 비트 스트림을 분리하여 추출하는 비디오 비트스트림 추출 수단; 그리고

상기 추출된 비디오 비트스트림이 비월주사 시퀀스이면서 프레임 DCT coded 블록인 경우 필드 DCT coded 블록으로 변환하면서 다운 컨버전하고, 필드 DCT coded 블록인 경우 그대로 다운 컨버전하여 메모리에 저장한 후 움직임 보상을 하는 비디오 처리부를 포함하여 구성되는 것을 특징으로 하는 디지털 동영상 수신 장치.

【청구항 2】

제 1 항에 있어서, 상기 비디오 처리부는

입력되는 비디오 비트스트림을 가변길이 디코딩 및 역양자화한 후 역양자화된 DCT 계수가 비월주사 시퀀스의 필드 DCT된 데이터이면 수평/수직 방향으로 고주파수 성분의 DCT 계수를 제거한 후 4x4 역 이산 코사인 변환(IDCT)을 수행하고, 프레임 DCT된 데이터이면 수평 방향으로 고주파수 성분의 DCT 계수를 제거하고 필드 DCT된 데이터로 변환한 후 변환된 DCT 변환 영역에서 수직 방향의 다운 샘플링을 수행하는 것을 특징으로 하는 디지털 동영상 수신 장치.

【청구항 3】

제 1 항에 있어서, 상기 비디오 처리부는

움직임 보상시 풀 해상도 움직임 벡터를 사용하는 경우 움직임 보상전에 메모리로 부터 읽은 데이터에 대해 수직/수평 방향으로 업 샘플링 필터링을 수행하고, 움직임 보

상 후에 수직/수평 방향으로 다운 샘플링 필터링을 수행하는 것을 특징으로 하는 디지털 동영상 수신 장치.

【청구항 4】

입력되는 비디오 비트스트림을 가변 길이 디코딩(VLD)한 후 역양자화(IQ) 과정, 역이산 코사인 변환(IDCT) 과정, 및 움직임 보상(MC) 과정을 거쳐 원래 화면의 픽셀 값으로 복원하는 비디오 디코딩 장치에 있어서,

상기 역양자화된 DCT 계수가 비월주사 시퀀스의 필드 DCT된 데이터이면 수평/수직 방향으로 고주파수 성분의 DCT 계수를 제거한 후 4x4 IDCT하고, 프레임 DCT된 데이터이면 수평 방향으로 고주파수 성분의 DCT 계수를 제거하고 필드 DCT된 IDCT 계수로 변환한 후 DCT 변환 영역에서 수직 방향으로 다운 샘플링하는 IDCT부;

상기 IDCT된 데이터 또는 상기 IDCT된 데이터와 움직임 보상된 데이터의 가산 결과를 저장하는 메모리;

상기 메모리로부터 리드된 기준 픽처를 수직/수평 방향으로 업 샘플링하는 수직/수평 업 샘플링부;

상기 수직/수평 업 샘플링부에서 수직/수평 방향으로 업 샘플링된 픽처에 대해 VLD로부터 출력되는 풀 해상도의 움직임 벡터를 사용하여 움직임 보상을 수행하는 움직임 보상부;

상기 움직임 보상부에서 움직임 보상된 데이터를 수직/수평 방향으로 다운 샘플링한 후 상기 IDCT된 데이터와 더하여 메모리에 다시 저장하는 수직/수평 다운 샘플링부; 그리고

디스플레이 모드에 따라 상기 메모리에 저장된 데이터를 리드하여 디스플레이 장치로 출력하는 비디오 디스플레이 처리부를 포함하여 구성되는 것을 특징으로 하는 비디오 디코딩 장치.

【청구항 5】

제 4 항에 있어서, 상기 IDCT부는

비월주사 시퀀스의 프레임 DCT coded 블록이면 수평방향으로 고 주파수성분의 DCT 계수를 제거하는 수평 축소부와,

프레임 DCT coded 블록을 필드 DCT coded 블록으로 변환하는 프레임/필드 변환부와,

수직 방향으로 다운 샘플링된 필드 구조의 IDCT 계수를 출력하는 매트릭스 곱셈기와,

상기 매트릭스 곱셈기의 출력 데이터에 대해 수평 방향으로 IDCT를 수행하는 수평 IDCT로 구성되는 것을 특징으로 하는 비디오 디코딩 장치.

【청구항 6】

제 5 항에 있어서, 상기 프레임/필드 변환부는

다음의 매트릭스를 적용하여 8개의 프레임 DCT 계수들을 갖는 두 개의 수직 블록 [X]을 톱 필드와 바텀 필드에 대한 2개의 필드 DCT coded 블록 [Xtb]으로 변환하는 것을 비디오 디코딩 장치.

$$[X_{tb}] = [T_f][IT8_2][X] = \begin{bmatrix} X_t \\ X_t \\ X_t \\ X_t \\ X_t \\ X_t \\ X_t \\ X_t \\ X_b \\ X_b \\ X_b \\ X_b \\ X_b \\ X_b \\ X_b \\ X_b \end{bmatrix}$$

여기서 ,

$$T_f = \begin{bmatrix} \vec{t}_0 & 0 & \vec{t}_1 & 0 & \vec{t}_2 & 0 & \vec{t}_3 & 0 & \vec{t}_4 & 0 & \vec{t}_5 & 0 & \vec{t}_6 & 0 & \vec{t}_7 & 0 \\ 0 & \vec{t}_0 & 0 & \vec{t}_1 & 0 & \vec{t}_2 & 0 & \vec{t}_3 & 0 & \vec{t}_4 & 0 & \vec{t}_5 & 0 & \vec{t}_6 & 0 & \vec{t}_7 \end{bmatrix}$$

$$[IT8_2] = \begin{bmatrix} T8^T & 0 \\ 0 & T8^T \end{bmatrix}$$

상기 [T8]은 8-포인트 DCT 기저들로 이루어진 8x8 DCT 기저 매트릭스를 나타내고, 두 개의 수직 블록에 대한 IDCT는 [IT8₂] 매트릭스로 표현되며, \vec{t}_i 는 i번째 8 포인트 DCT 기저 벡터를 나타냄.

【청구항 7】

제 5 항에 있어서, 상기 매트릭스 곱셈기는

다음의 매트릭스를 적용하여 수평/수직 방향으로 다운 샘플링된 필드 단위의 IDCT 계수 [y_{tb}]를 출력하는 것을 특징으로 하는 비디오 디코딩 장치.

$$[y_{tb}] = [Q][X] = [IP4_2][T_f][IT8_2][X] = \begin{bmatrix} y_t \\ y_t \\ y_t \\ y_t \\ y_t \\ y_t \\ y_t \\ y_t \\ y_b \\ y_b \\ y_b \\ y_b \\ y_b \\ y_b \\ y_b \\ y_b \end{bmatrix}$$

여기서 ,

$$[IP4_2] = \begin{bmatrix} T4^T & 0 & 0 & 0 \\ 0 & 0 & 0 & T4^T \end{bmatrix} / \sqrt{2} = \text{필드 DCT coded 계수들의 다운 샘플링 매트릭스},$$

[T4]는 4 포인트 DCT 기저로 만들어진 4x4 DCT 매트릭스,

$$T_4 = \begin{bmatrix} \vec{t}_0 & 0 & \vec{t}_1 & 0 & \vec{t}_2 & 0 & \vec{t}_3 & 0 & \vec{t}_4 & 0 & \vec{t}_5 & 0 & \vec{t}_6 & 0 & \vec{t}_7 & 0 \\ 0 & \vec{t}_0 & 0 & \vec{t}_1 & 0 & \vec{t}_2 & 0 & \vec{t}_3 & 0 & \vec{t}_4 & 0 & \vec{t}_5 & 0 & \vec{t}_6 & 0 & \vec{t}_7 \end{bmatrix}$$

$$[IT8_2] = \begin{bmatrix} T8^T & 0 \\ 0 & T8^T \end{bmatrix}$$

상기 [T8]은 8-포인트 DCT 기저들로 이루어진 8x8 DCT 기저 매트릭스를 나타내고, 두 개의 수직 블록에 대한 IDCT는 [IT8₂] 매트릭스로 표현되며, \vec{t}_i 는 i번째 8 포인트 DCT 기저 벡터를 나타내고, [X]는 8개의 프레임 DCT 계수들을 갖는 두 개의 수직 블록임.

【청구항 8】

제 7 항에 있어서, 상기 매트릭스 곱셈기의 매트릭스 [Q]는

8x16 매트릭스로서 수직방향의 DCT 계수들을 대해서만 동작하는 것을 특징으로 하는 비디오 디코딩 장치.

【청구항 9】

제 4 항에 있어서, 상기 수평/수직 업 샘플링부는

움직임 보상시 움직임 벡터에 맞는 필드를 선택한 후 메모리에서 감축된 필드 기준 블록들을 읽어온 후 각각의 필드에 대해서 수평/수직방향으로 각각 업 샘플링 필터링하는 것을 특징으로 하는 비디오 디코딩 장치.

【청구항 10】

제 4 항에 있어서, 상기 움직임 보상부는

필드 예측 보상시 상기 업 샘플링된 블록들에 대해 하프 펄 보간하여 움직임 보상된 블록을 구성하는 것을 특징으로 하는 비디오 디코딩 장치.

【청구항 11】

제 4 항에 있어서, 상기 움직임 보상부는

프레임 예측 보상시 각 필드의 업 샘플링된 블록들로 프레임 단위의 기준 블록을 구성한 후 하프 펄 보간하여 움직임 보상된 블록을 구성하고, 움직임 보상된 프레임 블록을 각각의 필드로 분리하는 것을 특징으로 하는 비디오 디코딩 장치.

【청구항 12】

제 4 항에 있어서, 상기 수평/수직 다운 샘플링부는

다음의 4x8 차원의 다운 샘플링 매트릭스 $C_{4 \times 8}$ 를 적용하여 8개 화소를 4개 화소로 변환하는 것을 특징으로 하는 비디오 디코딩 장치.

$$C_{4 \times 8} = C_4^T \cdot T_8$$

여기서, $C_4 = \begin{bmatrix} T_4 \\ 0 \end{bmatrix} \sqrt{2}$ 이고, T_8 는 8x8 DCT 기저로 구성되어진 매트릭스, T_4 는 4x4 DCT 기저로 구성되어진 매트릭스임.

【청구항 13】

제 4 항에 있어서, 상기 수평/수직 업 샘플링부는

다음의 업 샘플링 매트릭스를 적용하여 4 화소를 8 화소로 변환하는 것을 특징으로 하는 비디오 디코딩 장치.

$$2 \cdot C_{4 \times 8}^T$$

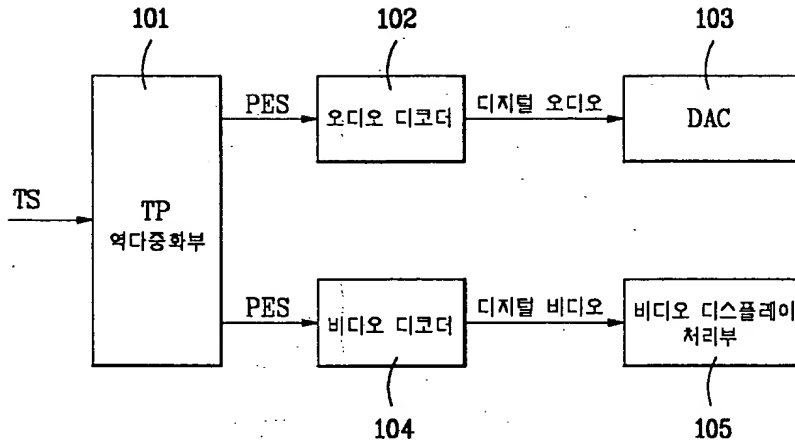
【청구항 14】

제 4 항에 있어서, 상기 비디오 디스플레이 처리부는

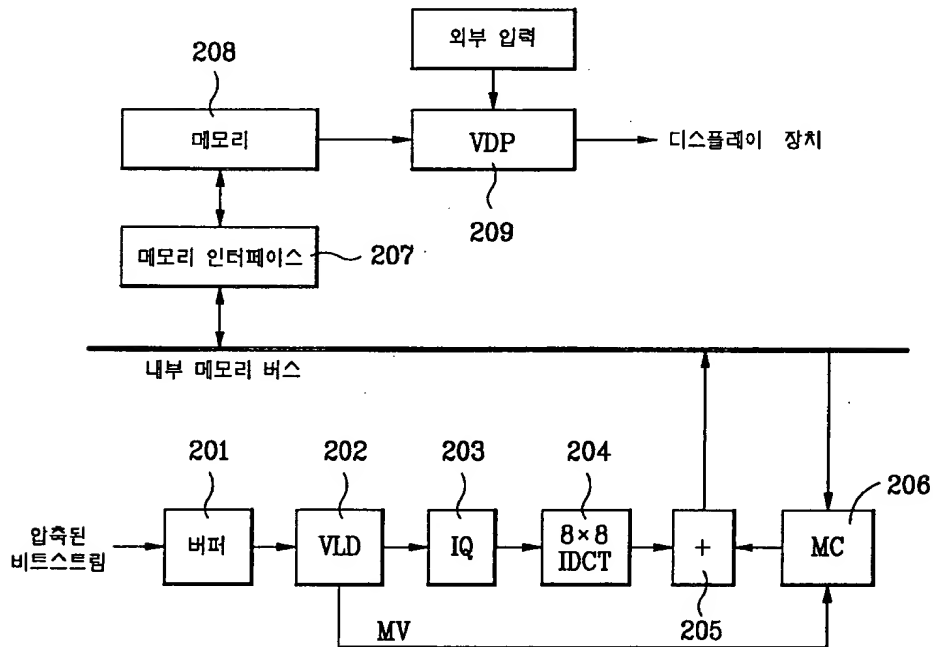
필드 기반 수직구조를 갖는 기준 픽처들을 화면에 디스플레이하기 전에 바텀 필드를 보정하는 후처리 필터가 더 구비하는 것을 특징으로 하는 비디오 디코딩 장치.

【도면】

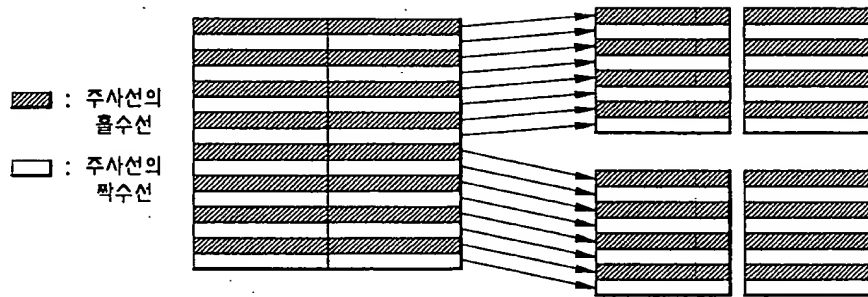
【도 1】



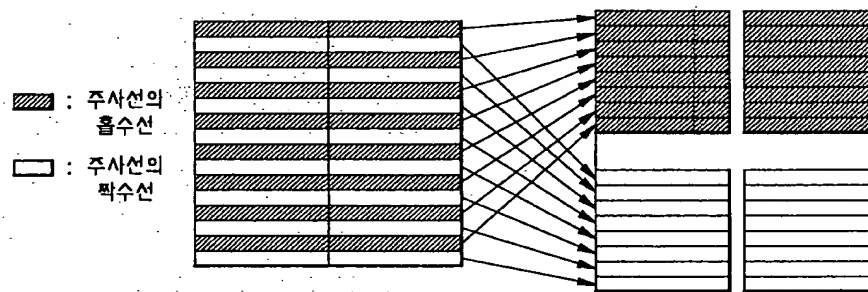
【도 2】



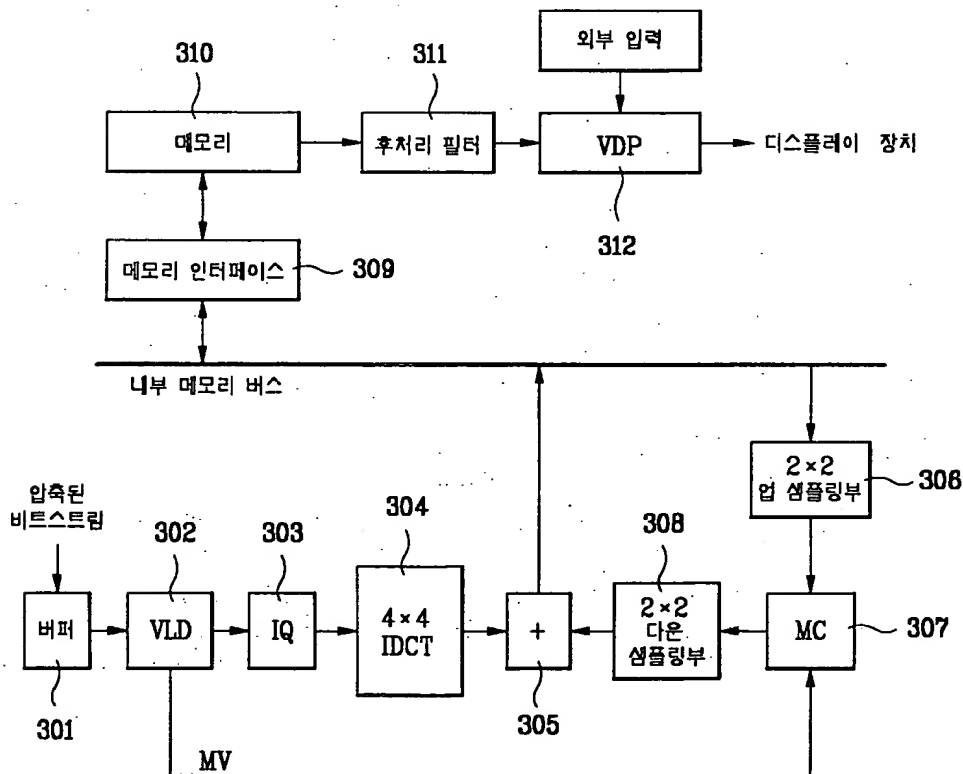
【도 3a】



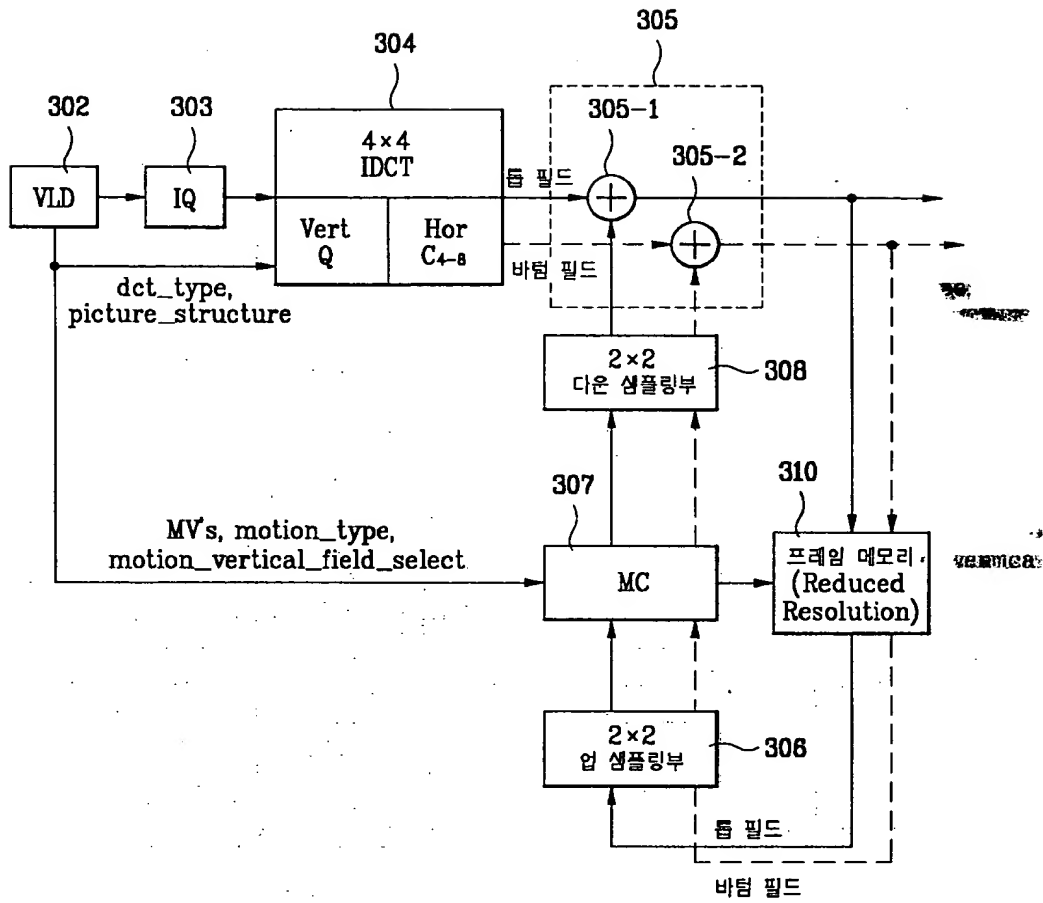
【도 3b】



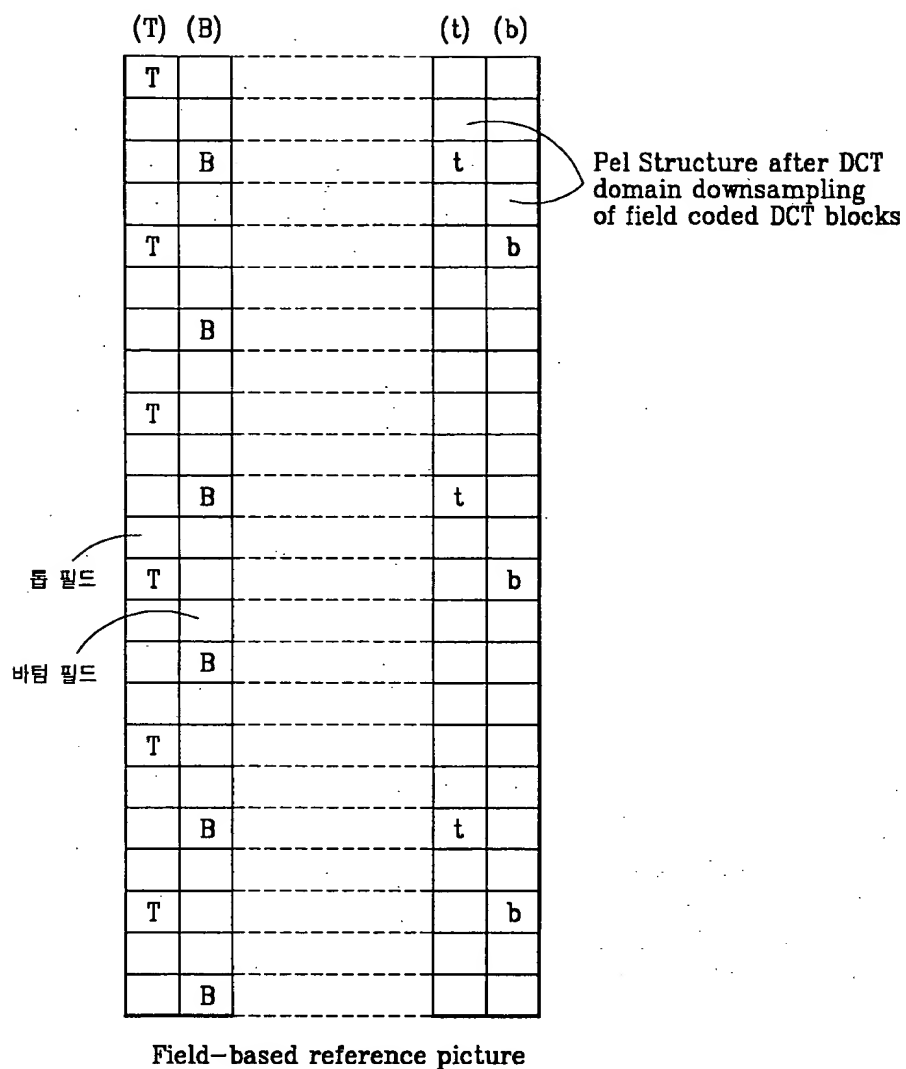
【도 4】



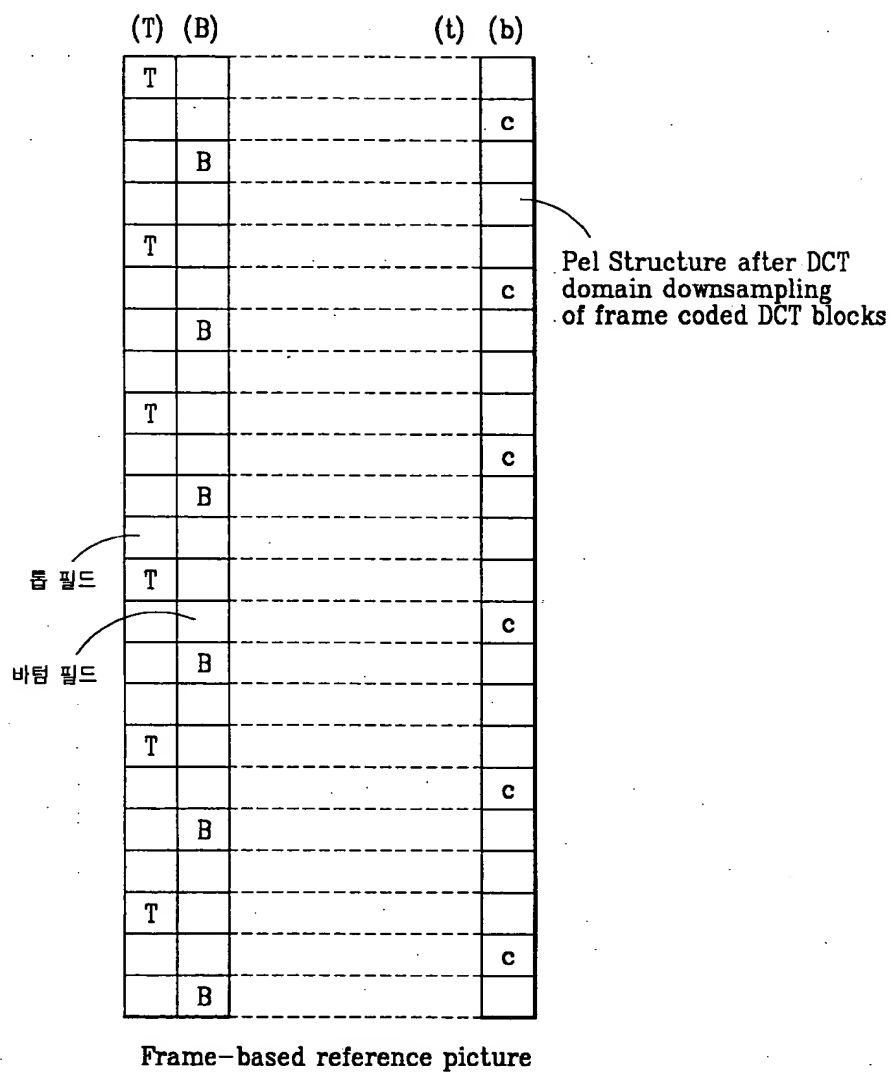
【도 5】



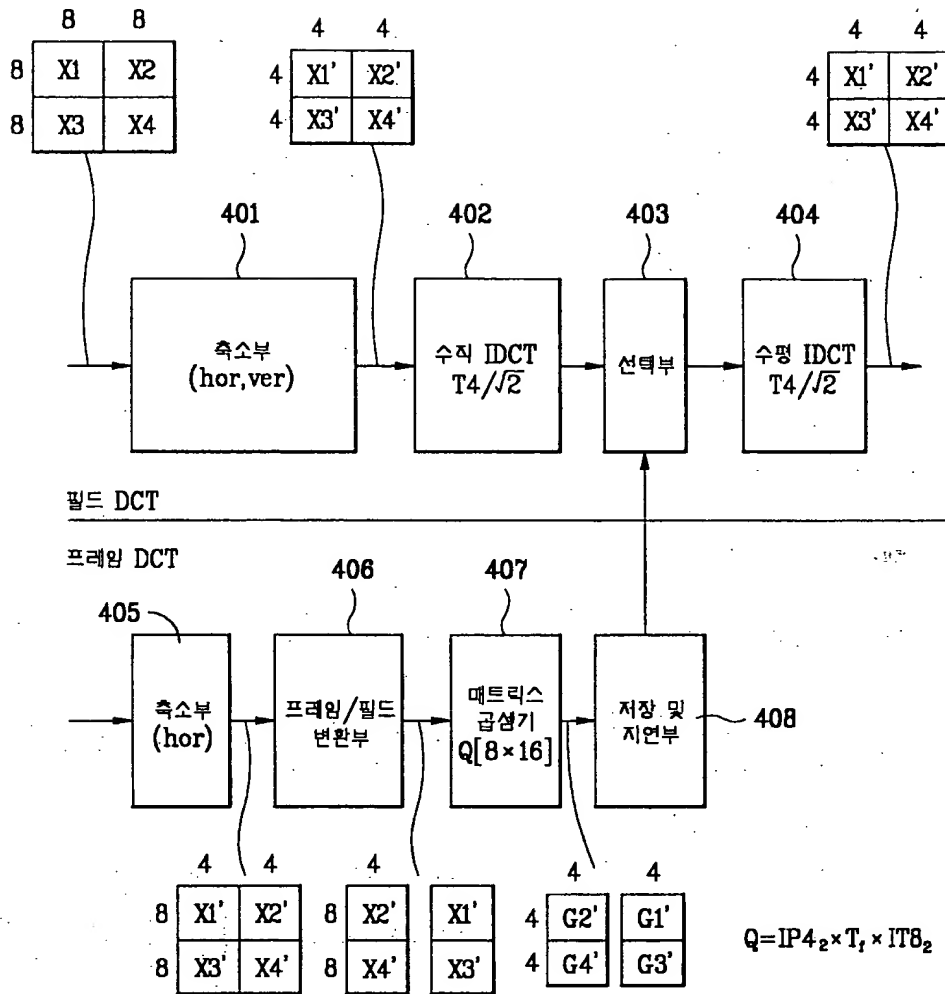
【도 6a】



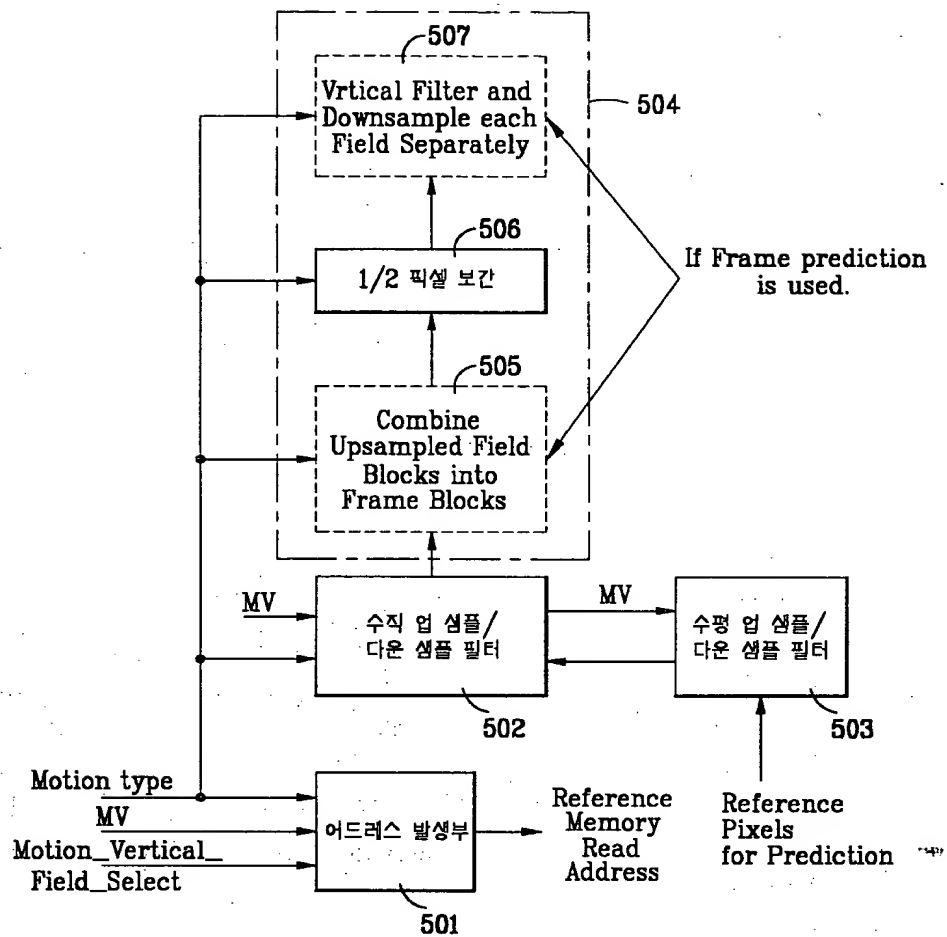
【도 6b】



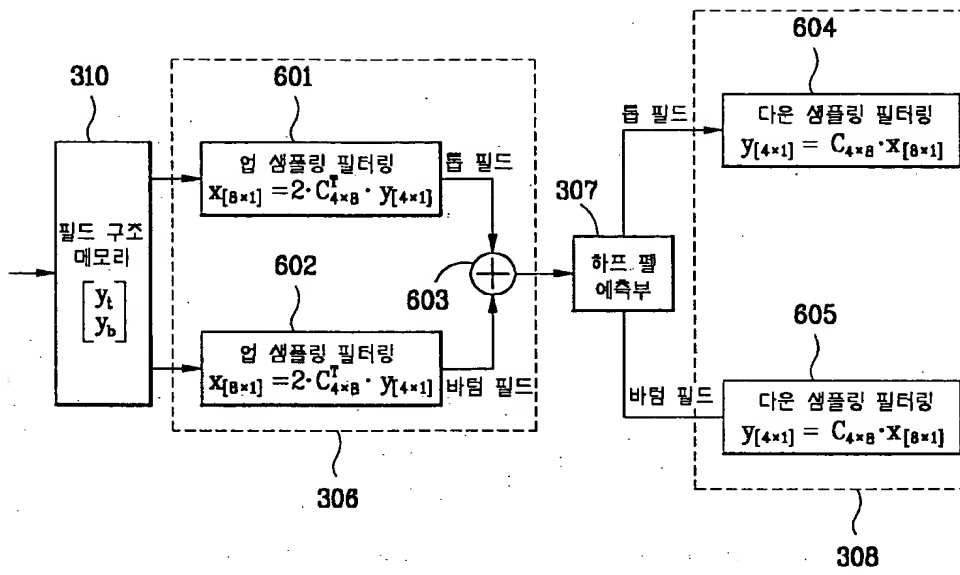
【도 7】



【도 8】



【도 9】



【도 10】

